

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-104716

(43)公開日 平成7年(1995)4月21日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 9 G 3/36

G 0 2 F 1/133

5 7 5

審査請求 未請求 請求項の数 1 F D (全 7 頁)

(21)出願番号

特願平5-269896

(22)出願日

平成5年(1993)9月30日

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72)発明者 有田 宏隆

滋賀県八日市市蛇溝町長谷野1166番地の6

京セラ株式会社滋賀工場内

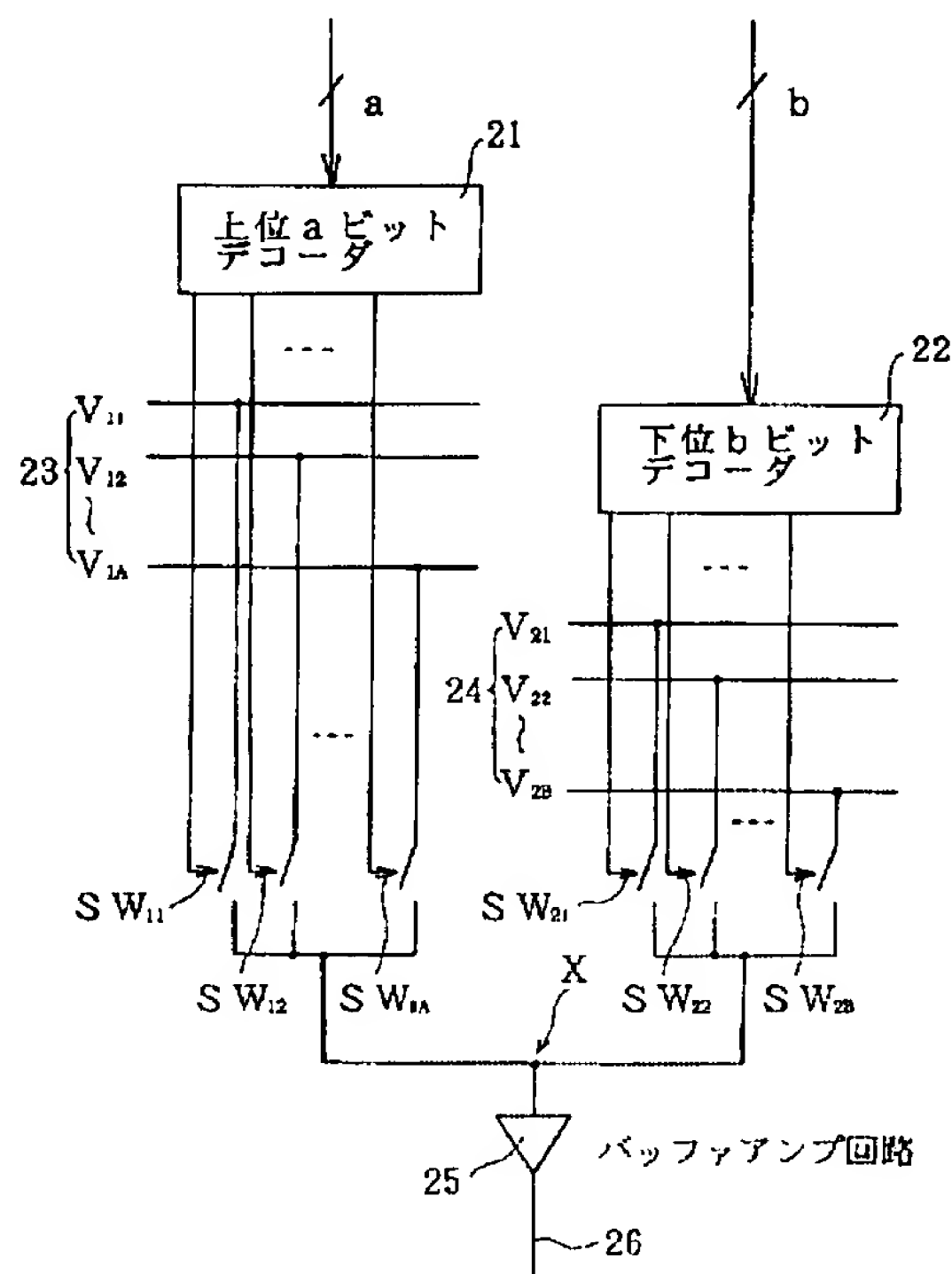
(74)代理人 弁理士 根本 進

(54)【発明の名称】 表示装置

(57)【要約】

【構成】 デジタル映像信号が上位ビットより順に m 個 ($m \geq 2$) のデジタル映像信号群に分割され、各デジタル映像信号群に対応した m 個の基準電圧群のそれぞれから、各デジタル映像信号群に対応した基準電圧が選択され、選択された m 個の基準電圧値を平均化した電圧値の階調信号がマトリクス型表示パネルのデータ線に出力される。各基準電圧の電圧値は、基準電圧の数が階調数よりも少なくなるように設定される。

【効果】 周辺回路を複雑化することなく表示の階調数よりも基準電圧の数を少なくすることができ、データ線側ドライバICの実装スペースが制限されている場合でも多階調化を行うことができる。



1

【特許請求の範囲】

【請求項1】 マトリクス型表示パネルの各データ線にデジタル映像信号に対応する電圧値の階調信号を出力する表示装置において、そのデジタル映像信号は上位ビットより順に m 個 ($m \geq 2$) のデジタル映像信号群に分割され、各デジタル映像信号群に対応した m 個の基準電圧群のそれぞれから、各デジタル映像信号群に対応した基準電圧が選択され、選択された m 個の基準電圧値を平均化した電圧値の階調信号がデータ線に出力されることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル映像信号に対応する画像を表示することのできる表示装置に関する。

【0002】

【従来の技術】 従来のTFT式アクティブマトリクス型液晶表示装置のデータ線側ドライバICを、図6に示す。図6のドライバICは、8階調表示用で、液晶画素に対応した3ビットのデジタル映像信号 D_{0j} 、 D_{1j} 、 D_{2j} がクロック信号 CL_2 に同期して第1のラッチ回路101に入力される。第1のラッチ回路101に入力されたデジタル映像信号は、その後クロック信号 CL_1 に同期して第2のラッチ回路102に入力される。そして、第2のラッチ回路102の出力は電圧セクタ回路103に入力される。

【0003】 この電圧セクタ回路103はデコーダ回路などで構成されるものであり、例えば、3ビットのデジタル映像信号に応じて $2^3 = 8$ 個の基準電圧群 ($V_0 \sim V_7$) からいずれか一つの基準電圧を選択するためのアナログスイッチ104a \sim 104hへデータ出力を行うものであり、オン状態となった104a \sim 104hのうちの一つの基準電圧選択用アナログスイッチを介して、それに接続された基準電圧 $V_0 \sim V_7$ の一つが選択され、ドライバ出力 Y_n に出力するものである。なお、図6の例において、互いに異なる電圧値を有する $2^3 = 8$ 個の基準電圧 $V_0 \sim V_7$ は図外発生源から供給される。

【0004】

【発明が解決しようとする課題】 上記構成では、表示の階調数と基準電圧の数とは等しくなるため、多階調化するためには基準信号の数を多くする必要がある。しかし、基準電圧の数が多くなると基準電圧をデータ線側ドライバICに供給するための配線スペースが広がって表示パネルの小型化に対し支障となる。そのため、データ線側ドライバICの実装スペースが制限されている場合は多階調化が困難であるという問題がある。また、基準電圧の数が多くなるとデータ線側ドライバIC内の配線スペースも広くなり、ICの小型化が困難となるため、コスト低下の支障となる。

【0005】 そこで、フレームあるいはフィールド毎に

2

画素を点滅させることで中間調表示を行うフレームレートコントロール(FRC)法を採用したTFT式アクティブマトリクス型液晶表示装置がある。例えば、3フィールドで1フレームを構成し、2ビットのデジタル映像信号により4階調の表示を行う場合、図7の(2)に示すようにデジタル映像信号(D_1 、 D_0)を周辺回路121により演算処理してソースドライバ122に入力し、図7の(1)に示すように、最も暗い第1階調では3フィールド連続して画素を消灯状態とし、3番目に明るい第2階調では2フィールドは画素を消灯状態とすると共に1フィールドは画素を点灯状態とし、2番目に明るい第3階調では1フィールドは画素を消灯状態とすると共に2フィールドは画素を点灯状態とし、最も明るい第4階調では3フィールド連続して画素を点灯状態とするものである。また、相隣接する画素が連なって点滅するとフリッカが目立つため、複数の画素を1グループとし、各グループ内の画素をモザイク模様を呈するように点滅させることが行われる。しかし、このようなフレームレートコントロールを行うためにはデジタル映像信号を予め演算処理してからソースドライバに送る必要があり、ソースドライバの周辺回路121が複雑化するという問題がある。

【0006】 本発明は、上記従来技術の問題を解決することのできる表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、マトリクス型表示パネルの各データ線にデジタル映像信号に対応する電圧値の階調信号を出力する表示装置において、そのデジタル映像信号は上位ビットより順に m 個 ($m \geq 2$) のデジタル映像信号群に分割され、各デジタル映像信号群に対応した m 個の基準電圧群のそれぞれから、各デジタル映像信号群に対応した基準電圧が選択され、選択された m 個の基準電圧値を平均化した電圧値の階調信号がデータ線に出力されることを特徴とする。

【0008】

【作用】 本発明の構成によれば、例えばデジタル映像信号を n ビットとすると共に、上位より a ビットと b ビット ($a + b = n$) に2分割した場合、上位 a ビットのデジタル映像信号に対応する基準電圧を、 2^a 個の基準電圧からなる第1の基準電圧群から選択し、下位 b ビットのデジタル映像信号に対応する基準電圧を、 2^b 個の基準電圧からなる第2の基準電圧群から選択する。その第1の基準信号群から選択された基準電圧と第2の基準電圧群から選択された基準電圧の平均値を電圧値とする階調信号がデータ線に出力される。よって、その階調数の最大値は、第1の基準電圧群の基準電圧数 2^a と第2の基準電圧群の基準電圧数 2^b との積であって、 $2^{a+b} = 2^n$ 階調にすることができる。一方、その基準信号数は $2^a + 2^b$ であり、デジタル映像信号が3ビット以上であれば基準信号数を階調数よりも少なくすることができ

3

る。これにより、従来であれば階調数と基準電圧の数が等しかったのに比べ、基準電圧を多くすることなく階調数を多くすることができる。

【0009】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0010】図5は、デジタル映像信号に対応する画像を表示することのできるTFT式アクティブマトリクス型液晶表示装置の構成を示すもので、液晶表示パネル51のデータ線側ドライバICであるソースドライバ52と、走査線側ドライバICであるゲートドライバ53とを備える。そのソースドライバ52から液晶表示パネル51の各データ線55にデジタル映像信号に対応する階調表示信号が出力され、その映像信号の水平同期信号と垂直同期信号とに応じソースドライバ52とゲートドライバ53に図外制御装置から駆動信号が送られることで画像が表示される。

【0011】図1は本発明の実施例の階調駆動回路を示すブロック図であって、液晶表示素子1画素当たり 2^n 階調（ただし n は2以上の整数）の階調表示を再現する例を示すものである。図1において、表示画素に対応した n ビットのデジタル映像信号データ $D_0 \sim D_n$ をシフトクロックCPのタイミングでデータレジスタ回路2に順次格納する。そして、1水平走査線分のデジタル映像信号データがデータレジスタ回路2に格納されると、OE信号のタイミングで同時にラッチ回路3に格納される。ここでデータレジスタ回路2及びラッチ回路3が本発明におけるメモリ回路に対応する。ラッチ回路3から出力されたデジタル映像信号データはレベルシフト回路4を経た後、D/A変換回路5に入力される。D/A変換回路5は r 種（ $2 < r < 2^n$ ）の階調駆動用基準電圧（ $V_0 \sim V_r$ ）を入力し、 n ビットのデジタル映像信号データに対応した電圧値を各データ線 $O_1 \sim O_k$ に出力する。

【0012】図2は本発明の実施例によるD/A変換回路を示すものである。図1におけるレベルシフト回路5から出力される n ビットのデジタル映像信号は上位 a ビットと下位 b ビット（ $a+b=n$ ）の2群に分割され、それぞれ上位 a ビット用デコーダ回路21と下位 b ビット用デコーダ回路22に入力される。各デコーダ回路21、22は入力されるデジタル映像信号に応じて、図外発生源から供給される $2^a = A$ 個の基準電圧（ $V_{11} \sim V_{1A}$ ）から成る第1の基準電圧群23、及び $2^b = B$ 個の基準電圧（ $V_{21} \sim V_{2B}$ ）から成る第2の基準電圧群24の二つの基準電圧源より、アナログスイッチ $SW_{11} \sim SW_{1A}$ 、及び $SW_{21} \sim SW_{2B}$ によって、それぞれ一つの基準電圧を選択する。図2中のX点における電圧値は、基準電圧群23、24から選択された二つの基準電圧がデコーダ回路21、22によってON状態となった $SW_{11} \sim SW_{1A}$ のうちの一つ、及び $SW_{21} \sim SW_{2B}$ のうちの

4

つのアナログスイッチのON抵抗によってその電圧値が平均化された値となり、この電圧値がバッファアンプ回路25からマトリクス型表示パネルのデータ線26に出力される。

【0013】上記構成において、各基準電圧群を構成する基準電圧数の合計は階調数よりも少なくなるように設定される。例えば、デジタル映像信号を6ビットとして上位3ビットと下位3ビットの2群に分割する場合、その上位3ビットのデジタル映像信号（ D_1 から D_3 ）に対応して第1の基準信号群（ $V_1 \sim V_8$ ）に含まれる各基準電圧を図3の（1）に示すように設定し、その下位3ビットのデジタル映像信号（ $D_4 \sim D_6$ ）に対応して第2の基準信号群（ $V_9 \sim V_{16}$ ）に含まれる各基準電圧を図3の（2）に示すように設定することで、図3の（3）に示すように互いに異なる電圧値を有する64階調の階調信号を得ることができる。これにより、図3の（4）に示すように、液晶表示装置の各画素の透過率を階調信号の電圧値に応じて変化させることができる。すなわち、その階調数の最大値は、第1の基準電圧群の基準電圧数 2^a と第2の基準電圧群の基準電圧数 2^b との積であって、 $2^{a+b} = 2^n$ 階調（図示の例では64階調）にすることができる。一方、その基準電圧数は $2^a + 2^b$ 個（図示の例では16個）であり、デジタル映像信号が3ビット以上であれば基準電圧数を階調数よりも少なくすることができる。すなわち、従来であれば階調数と基準電圧数が等しかったのに比べ、基準電圧を多くすることなく階調数を多くすることができる。さらに、デジタル映像信号の分割数、及びこれに対応する基準電圧群数は3以上とすることも可能である。なお図2のデータ線26に出力される階調信号の電圧値は、液晶の劣化防止のため1フィールド毎に極性を正負反転するように、また、フリッカ防止のため1水平期間毎に極性を正負反転するよう各基準電圧を交流化してもよい。

【0014】上記液晶表示装置によれば、ソースドライバ2の周辺回路を複雑化することなく表示の階調数よりも階調駆動用基準電圧の数を少なくすることができ、ソースドライバ2の実装スペースが制限されている場合でも多階調化を行うことができる。

【0015】図4は本発明の第2実施例を示す。上記実施例との相違は、デジタル映像信号の各分割信号を互いに異なる二つのソースドライバ6'、6''に入力するようにした点にある。また、本実施例で使用されるソースドライバーは従来例として図6に示したような一般的に市販されているものでよい。すなわち図4において、デジタル映像信号の総ビット数を n とすると $n = n' + n''$ であり、上位 n' ビットのデジタル映像信号（ $D_{11} \sim D_{1n'}$ ）をソースドライバ6'に入力し、下位 n'' ビットのデジタル映像信号（ $D_{21} \sim D_{2n''}$ ）をソースドライバ6''に入力する。この場合、デジタル映像信号（ $D_{11} \sim D_{1n'}$ 、及び $D_{21} \sim D_{2n''}$ ）は、シフトレジスタ回

10

20

30

40

50

5

路 1'、及び 1'' に共通に接続されたシフトクロック C P のタイミングでデータレジスタ回路 2'、及び 2'' にそれぞれ順次格納される。次に、ソースドライバ 6' のデータレジスタ回路 2' に入力される上位 n' ビットのデジタル映像信号に応じ、D/A 変換回路 5' に外部発生源から入力される $r' = 2^{n'}$ 個の基準電圧群 ($V_{11} \sim V_{1r'}$) から一つの基準電圧が選択され階調信号として出力される。同様にソースドライバ 6'' では、入力される下位 n'' ビットのデジタル映像信号に応じて $r'' = 2^{n''}$ 個の基準電圧群 ($V_{21} \sim V_{2r''}$) から一つの基準電圧が選択され出力される。なお、ソースドライバ 6'、6'' からの出力はラッチ回路 3'、および 3'' に共通して接続された OE 信号のタイミングで行われる。さらに、ソースドライバ 6'、6'' の出力数は等しく、ソースドライバ 6' の出力を $O_{11} \sim O_{1k}$ 、ソースドライバ 6'' の出力を $O_{21} \sim O_{2k}$ とすれば、出力 O_{1j} と出力 O_{2j} (ただし $1 \leq j \leq k$) はソースドライバ 6'、6'' の外部において共通のデータ線 ($O_1 \sim O_k$) に接続されている。

【0016】上記構成によれば、ソースドライバ 6' の基準電圧群 ($V_{11} \sim V_{1r'}$) より $n (= n' + n'')$ ビットのデジタル映像信号の上位 n' ビットに対応した基準電圧が選択出力され、ソースドライバ 6'' の基準電圧群 ($V_{21} \sim V_{2r''}$) より下位 n'' ビットに対応した基準電圧が選択出力され、これら一対の基準電圧の平均値を電圧値とする階調信号が各データ線 25 に出力される。各基準電圧群の基準電圧数の合計は階調数よりも少なくなるように設定される。これにより、本実施例では前記実施例と同様の作用効果を奏することができる。また、本実施例では各ソースドライバ 6'、6'' それぞれに入力されるデジタル映像信号のビット数は、前記実施例のソースドライバ 6 に入力されるデジタル映像信号のビット数よりも少ないので、各ソースドライバ 6'、6'' として安価なものをを用いることができる。一方、前記実施例では各データ線 25 に単一のソースドライバ 6 を接続すればよいので、各データ線 55 に二つのソースドライバ 6'、6'' を接続する本実施例よりもソースドライバ 6 の実装は容易である。

【0017】なお、本発明は上記各実施例に限定されな

6

い。例えば、上記実施例ではデジタル映像信号は各分割信号が同数のビットデータを有するように分割されたが、異なる数のビットデータを有するように分割してもよい。また、デジタル映像信号の具体的ビット数や基準信号の電圧値は上記各実施例に限定されるものではなく、基準電圧の数が階調数よりも少なくなるように設定されていればよい。

【0018】

【発明の効果】本発明によれば、デジタル映像信号を上位ビットより順に m 個 ($m \geq 2$) のデジタル映像信号群に分割し、各デジタル映像信号群に対応した m 個の基準電圧群のそれぞれから、各デジタル映像信号群に対応した基準電圧を選択し、選択した m 個の基準電圧値を平均化した電圧値の階調信号がデータ線に出力することから、周辺回路を複雑化することなく表示の階調数よりも基準電圧の数を少なくすることができ、データ線側ドライバ IC の実装スペースが制限されている場合でも多階調化を行うことができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例の TFT 式アクティブマトリクス型液晶表示装置のソースドライバの回路ブロックを示す図

【図 2】本発明の第 1 実施例の TFT 式アクティブマトリクス型液晶表示装置のソースドライバの D/A 変換回路を示す図

【図 3】本発明の実施例の TFT 式アクティブマトリクス型液晶表示装置のデジタル映像信号と基準電圧と階調信号の具体的数値を示す図

【図 4】本発明の第 2 実施例の TFT 式アクティブマトリクス型液晶表示装置のソースドライバの構成を示す図

【図 5】本発明の実施例の TFT 式アクティブマトリクス型液晶表示装置の構成を示す図

【図 6】従来例の TFT 式アクティブマトリクス型液晶表示装置のソースドライバの構成を示す図

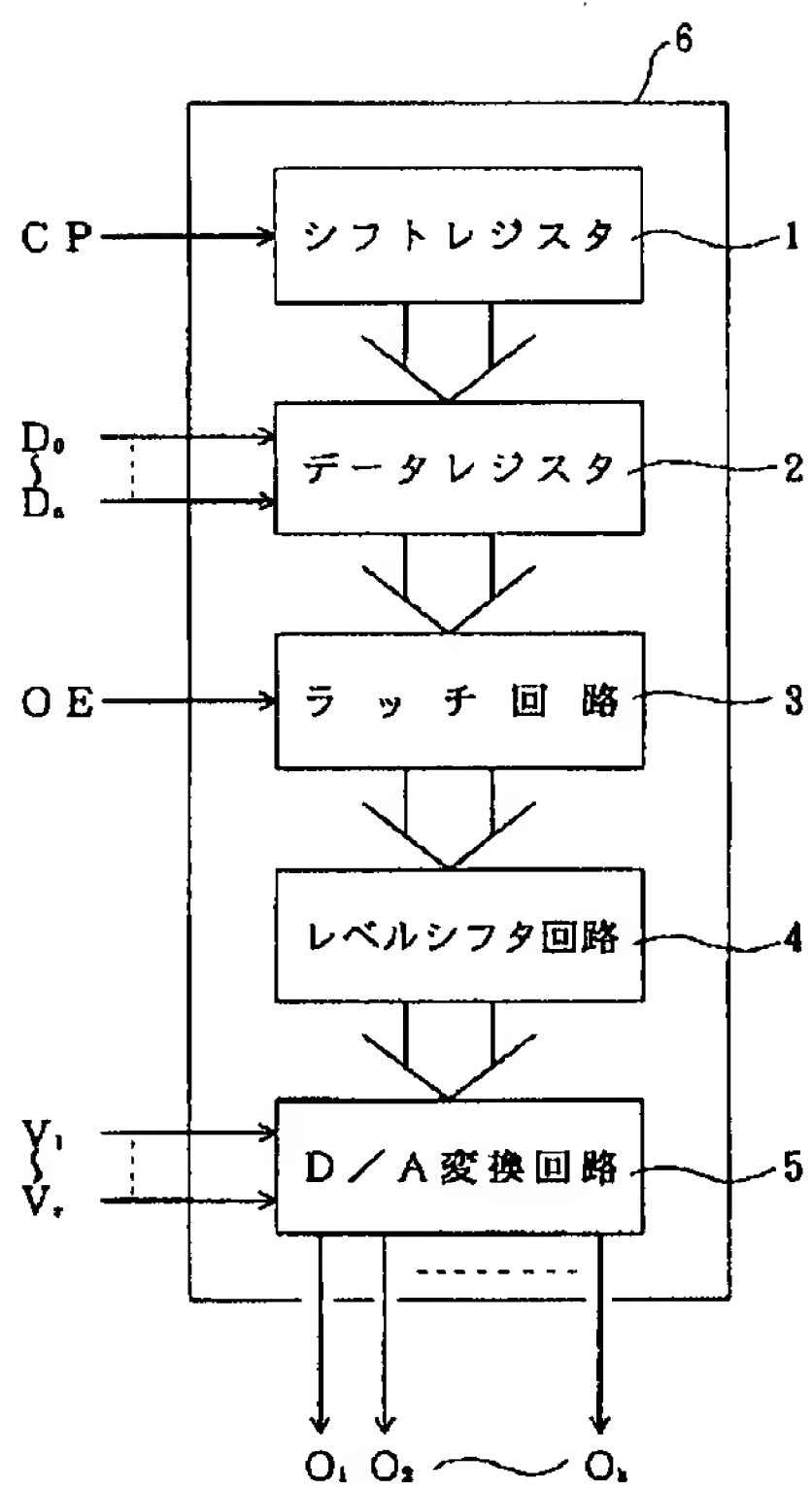
【図 7】従来の TFT 式アクティブマトリクス型液晶表示装置の (1) は作用説明図、(2) は構成説明図

【符号の説明】

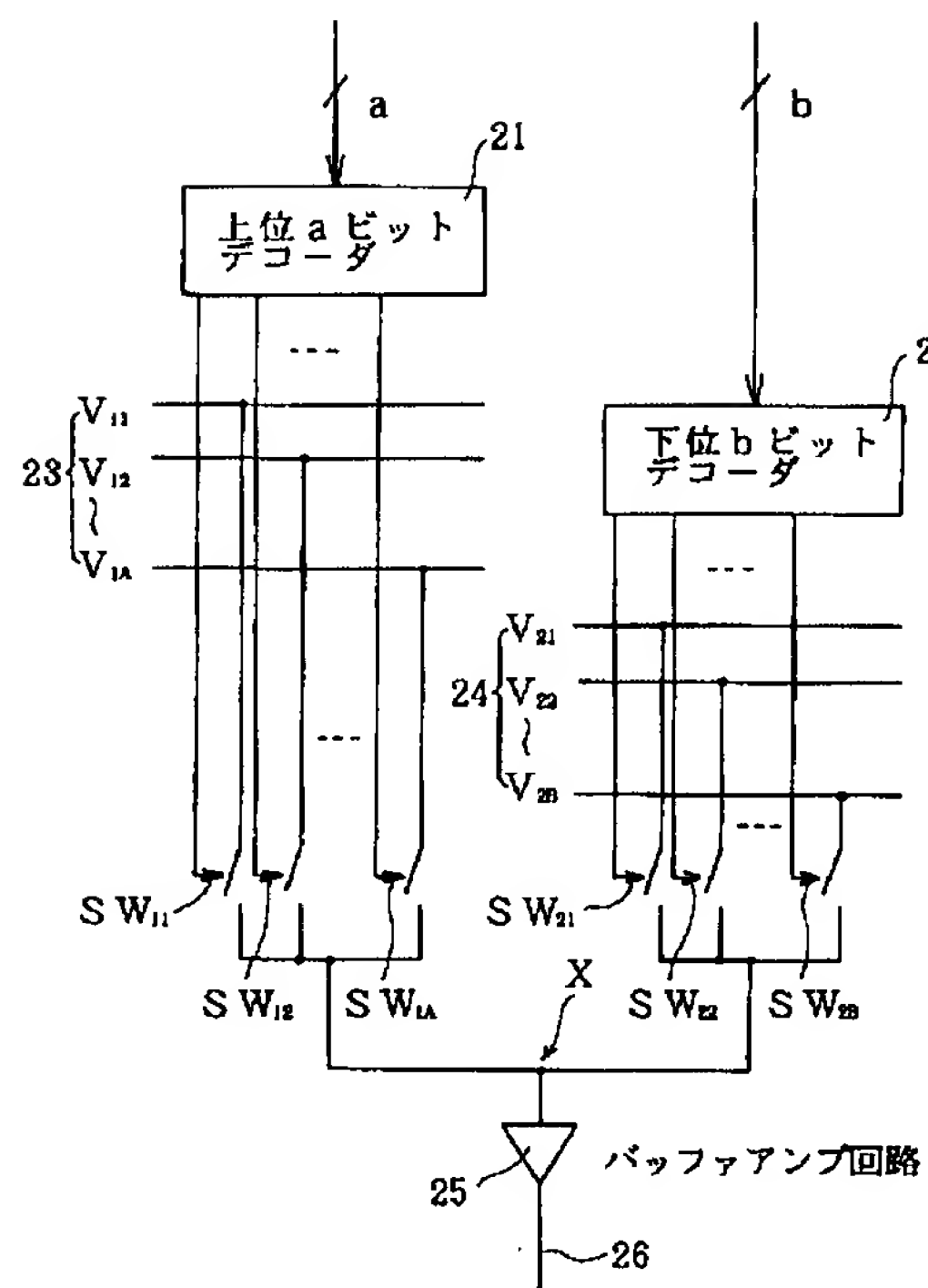
51 表示パネル

55 データ線

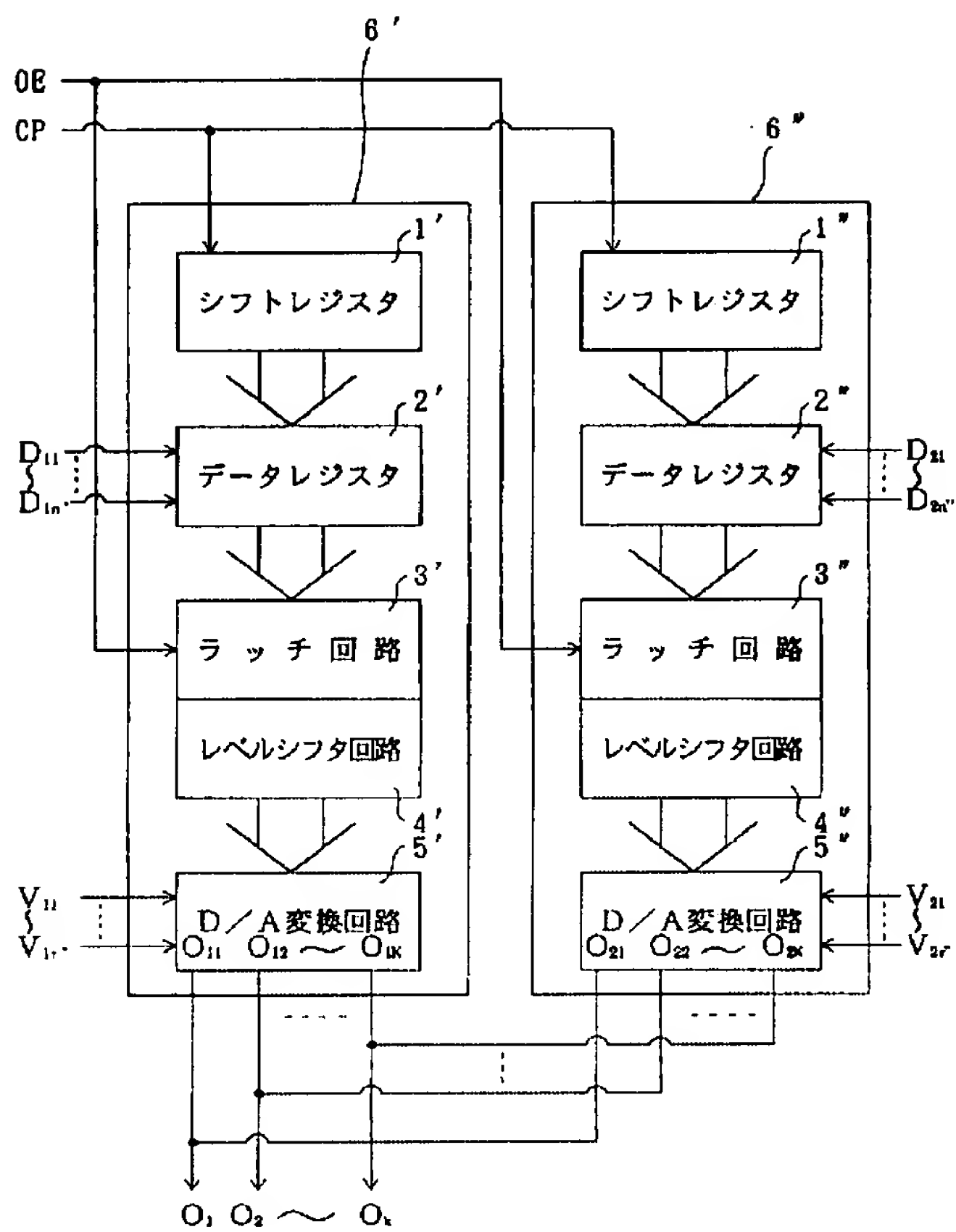
【図1】



【図2】



【図4】



【図3】

(1)

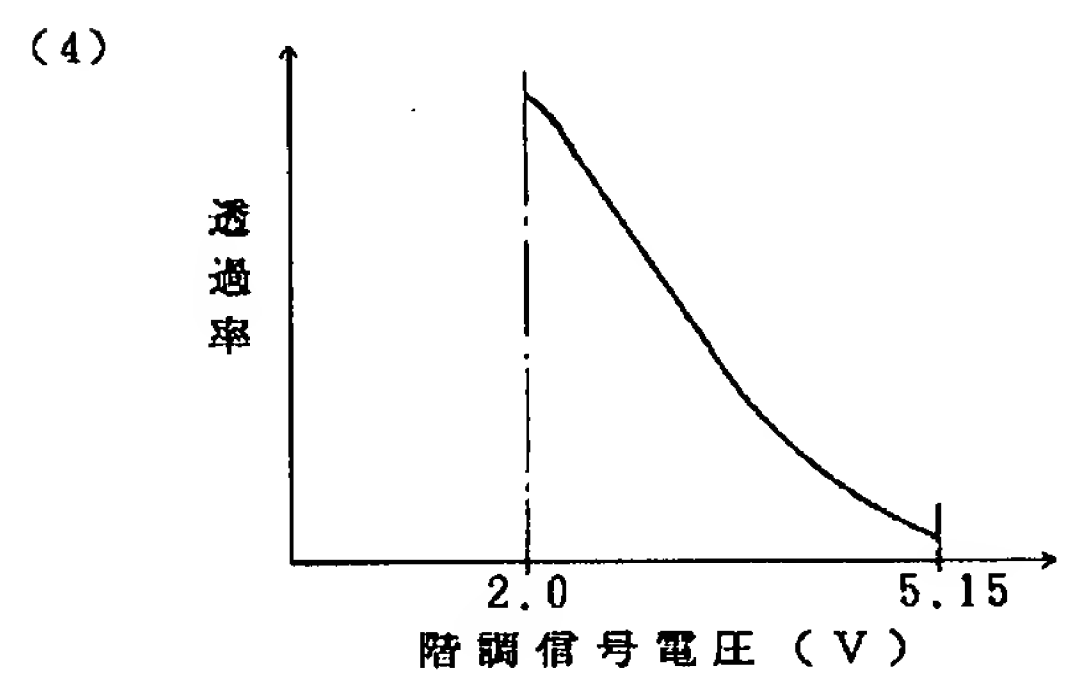
D_1	D_2	D_3	$V_{1 \sim 8}(V)$
0	0	0	$V_1 = 2.0$
0	0	1	$V_2 = 2.8$
0	1	0	$V_3 = 3.6$
0	1	1	$V_4 = 4.4$
1	0	0	$V_5 = 5.2$
1	0	1	$V_6 = 6.0$
1	1	0	$V_7 = 6.8$
1	1	1	$V_8 = 7.6$

(2)

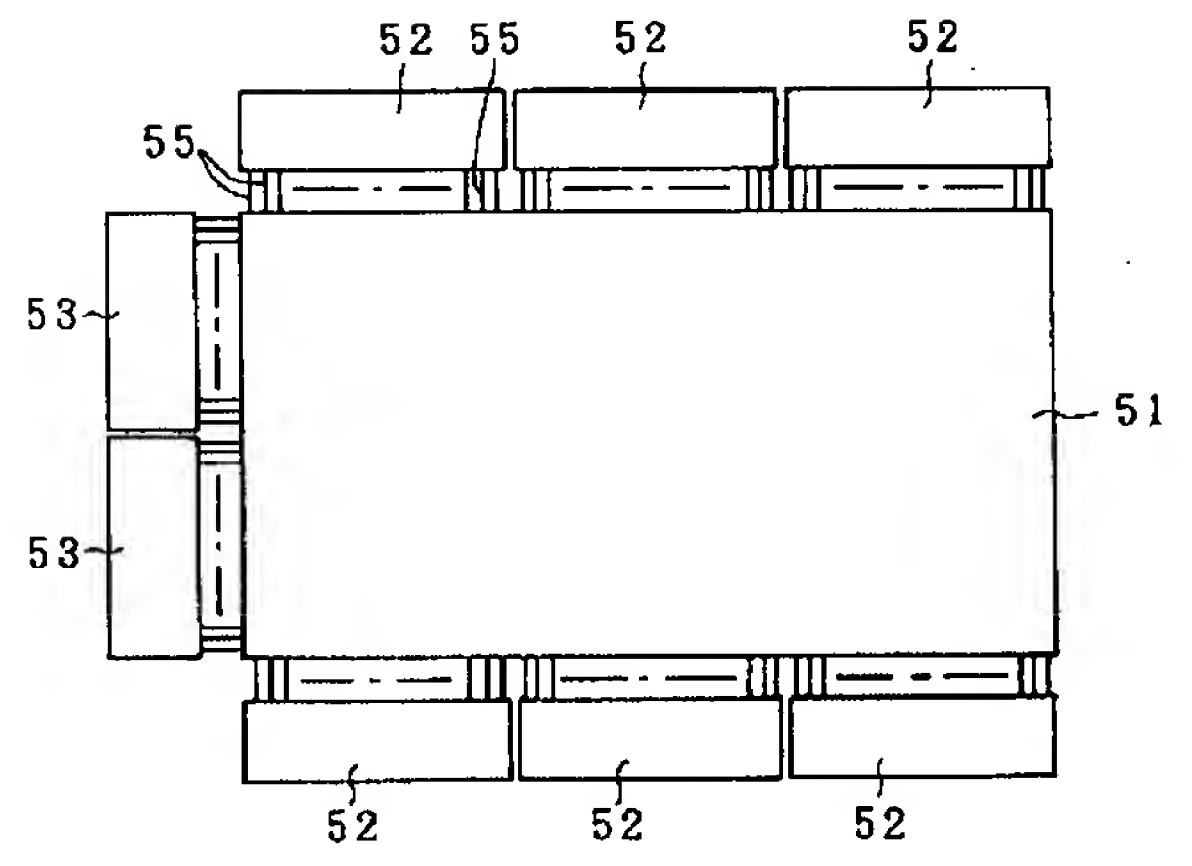
D_4	D_5	D_6	$V_{9 \sim 16}(V)$
0	0	0	$V_9 = 2.0$
0	0	1	$V_{10} = 2.1$
0	1	0	$V_{11} = 2.2$
0	1	1	$V_{12} = 2.3$
1	0	0	$V_{13} = 2.4$
1	0	1	$V_{14} = 2.5$
1	1	0	$V_{15} = 2.6$
1	1	1	$V_{16} = 2.7$

(3)

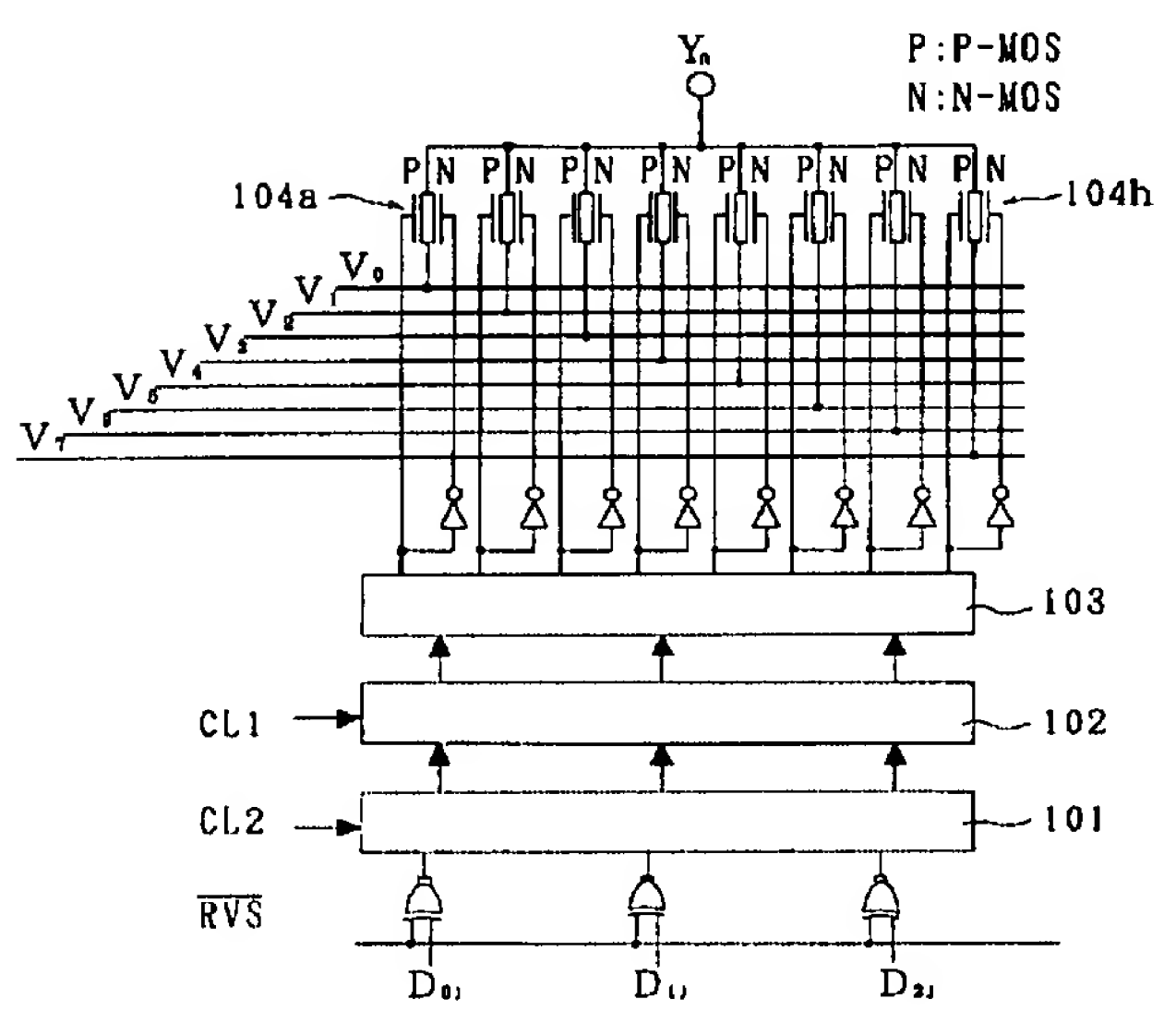
階調 No.	$V_{1 \sim 8}(V)$	$V_{9 \sim 16}(V)$	$(V_{1 \sim 8} + V_{9 \sim 16})/2(V)$
1	2.0	2.0	2.0
2	2.0	2.1	2.05
3	2.0	2.2	2.10
⋮	⋮	⋮	⋮
28	4.4	2.3	3.35
⋮	⋮	⋮	⋮
62	7.6	2.5	5.05
63	7.6	2.6	5.10
64	7.6	2.7	5.15



【図5】



【図6】



【図7】

(1)

階調 No	画像信号		ソースドライバ入力信号 第1ワード 第2ワード 第3ワード	画素点滅状態 第1ワード 第2ワード 第3ワード		
	D ₁	D ₀				
1	0	0	1 0	黒	黒	黒
2	0	1	1 0	白	黒	黒
3	1	0	1 0	白	白	黒
4	1	1	1 0	白	白	白

